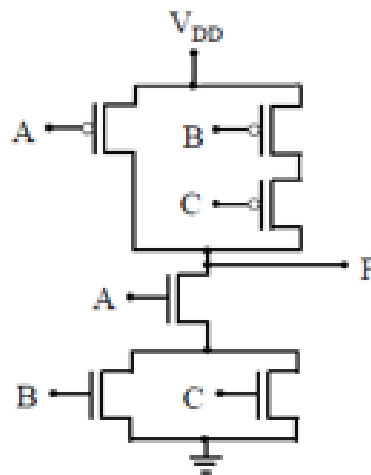


Eletrônica Digital Sequencial

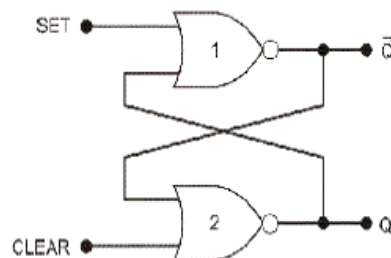
1. Qual a expressão lógica para o circuito CMOS abaixo (utilize mapa de karnaugh e depois o método da associação série e paralelo):



2. Obtenha o circuito por associação série e paralelo para a expressão abaixo:

$$G = \overline{A + B.C + D}$$

3. Construa a tabela expandida e reduzida com estado futuro Q_{n+1} para o Latch-NOR.



4. Construa o Flip- Flop RS a partir da lógica de Latch Nand. Dado a tabela reduzida RS

R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	X

R	S	Q_n	Q_{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

S	C	$Q \rightarrow Q_{n+1}$
1	X	0 0
0	1	0 1
1	0	1 0
X	1	1 1

- Ache a equação de estado;
- Obtenha a expressão para o S e para o C;
- Complete o circuito lógico.